

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Japanese Patent Laid-Open Publication No. Heisei 9-8205

(TITLE OF THE INVENTION)

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

(CLAIMS)

1. A resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank, comprising:

inner leads having the thickness less than that of the lead frame blank; and

terminal columns integrally connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, the terminal columns having terminal portions arranged on top ends thereof, the terminal portions being made of solders, etc. and exposed to the outside beyond a resin encapsulate, each inner lead possessing a rectangular cross-section and having four

surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

2. A resin-encapsulated semiconductor device using
10 a lead frame which is shaped in accordance with a two-step
etching process to a body wherein a thickness of inner
leads is less than that of the lead frame blank,
comprising:

15 inner leads having the thickness less than that of the
lead frame blank; and

20 terminal columns integrally connected to the inner
leads and having the same thickness with the lead frame
blank, the terminal columns possessing a column-shaped
configuration which is adapted to be electrically connected
to an external circuit, the terminal columns being disposed
outside of the inner leads in a manner such that they are
coupled to the inner leads in a direction orthogonal to the
thickness-wise direction thereof, portions of top ends of
the terminal columns being exposed to the outside beyond a
25 resin encapsulate, each inner lead possessing a rectangular

cross-section and having four surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

10 3. The resin-encapsulated semiconductor device as claimed in claims 1 or 2, wherein a semiconductor chip is received inward of the inner leads, and electrodes of the semiconductor chip are electrically connected to the inner leads through wires, respectively.

15 4. The resin-encapsulated semiconductor device as claimed in claim 3, wherein the lead frame has a die pad, and the semiconductor chip is mounted onto the die pad.

20 5. The resin-encapsulated semiconductor device as claimed in claim 3, wherein the lead frame does not have a die pad, and the semiconductor chip is fastened to the inner leads using a reinforcing fastener tape.

. 25 6. The resin-encapsulated semiconductor device as

claimed in claims 1 or 2, wherein the semiconductor chip is fastened by means of insulating adhesive to the second surfaces of the inner leads on one surface thereof on which the electrodes are located, and the electrodes of the semiconductor chip are electrically connected to the first surfaces of the inner leads through wires, respectively.

7. The resin-encapsulated semiconductor device as claimed in claims 1 or 2, wherein the semiconductor chip is fastened to the second surfaces of the inner leads by bumps thereby to be electrically connected to the inner leads.

(DETAILED DESCRIPTION OF THE INVENTION)

(FIELD OF THE INVENTION)

15 The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and resolving problems which are caused in association with position shift and coplanarity of an outer lead.

20

(DESCRIPTION OF THE PRIOR ART)

FIG. 15(a) shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated semiconductor device includes a die pad 1511 having a

semiconductor chip 1520 mounted thereon, outer leads 1513 to be electrically connected to the associated circuits, inner leads 1512 formed integrally with the outer leads 1513, bonding wires 1530 for electrically connecting the tips of the inner leads 1512 to the bonding pad 1521 of the semiconductor chip 1520, and a resin 1540 encapsulating the semiconductor chip 1520 to protect the semiconductor chip 1520 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor chip 1520 on the bonding pad 1521, is manufactured by encapsulating the semiconductor chip 1520 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1512 is equal to that of the bonding pads 1521 of the semiconductor chip 1520.

And, FIG. 15(b) shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in FIG. 15a. Such a lead frame includes the bonding pad 1511 for mounting the semiconductor chip, the inner leads 1512 to be electrically connected to the semiconductor chip, the outer lead 1513 which is integral with the inner leads 1512 and is to be electrically connected to the associated circuits. This also includes dam bars 1514 serving as a dam when encapsulating the semiconductor chip with the resin, and a frame 1515 serving to support the entire lead frame 1510.

Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy (a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process. FIG. 15(b) (D) is a cross-sectional view taken along the line F1-F2 of FIG. 15(b) (1).

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame (plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad plate package (QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of

pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to FIG. 14. First, a copper alloy or 42 alloy thin sheet of a thickness on the order of 0.25 mm (a lead frame blank 1410) is cleaned perfectly (FIG. 14(a)). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1420 over the major surfaces of the thin film as shown in FIG. 14(b).

Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1430 as shown in FIG. 14(c). Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1410 to etch through portions of the thin sheet 1410 not coated with the patterned photoresist films 1420 so that inner leads of predetermined sizes and shapes are formed as shown in FIG. 14(d).

Then, the patterned resist films are removed, the patterned thin sheet 1410 is washed to complete a lead frame having the inner leads of desired shapes as shown in FIG. 14(e). Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in FIG. 14 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100 μ s of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80 μ m for successful wire bonding. When the etching process as illustrated in FIG. 14 is employed in fabricating a lead frame, a thin sheet of a small thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the

fine tips thereof are arranged at a pitch of about 0.1 mm.

However, recent miniature resin-encapsulated semiconductor package requires inner leads arranged 5 pitches in the range of 0.13 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to withstand external forces that may be applied thereto. 10 The subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine leads arranged at very small pitches by etching.

15 An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the lead frame by half-etching or pressing to form 20 the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions corresponding to the inner leads by pressing; for 25 example, the smoothness of the surface of the plated areas

is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

15 (SUBJECT MATTERS TO BE SOLVED BY THE INVENTION)

On the other hand, because a pitch among inner leads is made narrow as the number of terminals is increased, it is considered important to know whether a problem is caused or not in association with position shift or coplanarity of an outer lead when implementing a chip mounting process. Accordingly, the present invention has been made in an effort to solve the problems occurring in the related art, and an object of the present invention is to provide a resin-encapsulated semiconductor device capable of meeting 20 the requirement for an increase in the number of terminals.

and resolving problems which are caused in assoc:
position shift and coplanarity of an outer lead.

(MEANS FOR SOLVING THE SUBJECT MATTERS)

5 According to one aspect of the present :
there is provided a resin-encapsulated semiconductor
using a lead frame which is shaped in accordance
two-step etching process to a body wherein a thi
inner leads is less than that of the lead frame
10 comprising inner leads having the thickness less
of the lead frame blank; and terminal columns i:
connected to the inner leads and having the same t
with the lead frame blank, the terminal columns po
a column-shaped configuration which is adapted
15 electrically connected to an external circuit, the
columns being disposed outside of the inner lead
manner such that they are coupled to the inner lead
direction orthogonal to the thickness-wise di
thereof, the terminal columns having terminal p
20 arranged on top ends thereof, the terminal portions
made of solders, etc. and exposed to the outside be
resin encapsulate, outer surfaces of the terminal c
also being exposed to the outside beyond the
encapsulate, each inner lead possessing a recta
25 cross-section and having four surfaces including a

surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

According to another aspect of the present invention there is provided a resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank comprising: inner leads having the thickness less than that of the lead frame blank; and terminal columns integrally connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, portions of top ends of the terminal columns being exposed to the outside beyond a resin encapsulate, outer surfaces of the terminal columns also being exposed to the outside beyond the resin encapsulate, each inner lead

possessing a rectangular cross-section and having four surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

According to another aspect of the present invention, a semiconductor chip is received inward of the inner leads, and electrodes (pads) of the semiconductor chip are electrically connected to the inner leads through wires, respectively. According to another aspect of the present invention, the lead frame has a die pad, and the semiconductor chip is mounted onto the die pad. According to another aspect of the present invention, the lead frame does not have a die pad, and the semiconductor chip is fastened to the inner leads using a reinforcing fastener tape. According to still another aspect of the present invention, the semiconductor chip is fastened by means of insulating adhesive to the second surfaces of the inner leads on one surface thereof on which the electrodes are located, and the electrodes of the semiconductor chip are electrically connected to the first surfaces of the inner leads through wires, respectively. According to yet still

another aspect of the present invention, the semiconductor chip is fastened to the second surfaces of the inner leads by bumps thereby to be electrically connected to the inner leads. In the above descriptions, in the case that the terminal columns have terminal portions which are arranged on top ends of the terminal columns, with the terminal portions made of solders, etc. and exposed to the outside beyond the resin encapsulate, while it is the norm that the terminal portions comprising the solders, etc. are exposed to the outside beyond the resin encapsulate, it is not necessarily required for the terminal portions to be projected beyond the resin encapsulate. Moreover, while it is possible to use the outside surfaces of the terminal columns while they are not encapsulated by the resin encapsulate and they are exposed to the outside, the outside surfaces of the terminal columns which are not encapsulated by the resin encapsulate, can be covered by a protective frame using adhesive, etc.

20 [WORKING FUNCTIONS]

The resin-encapsulated semiconductor device in accordance with the present invention can meet a demand for an increase in the number of terminals. At the same time, in the resin-encapsulated semiconductor device, because the forming process of the outer leads as in the case of using

a mono-layered lead frame shown in FIG. 13(b) is not required, it is possible to provide a semiconductor device in which no problems are caused in association with position shift and coplanarity of the outer leads. More particularly, the use of a multi-pinned lead frame shaped in a manner that inner leads have a thickness less than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Furthermore, by using the lead frame which is fabricated by a two-step etching process as will be described later with reference to FIG. 1, the second surface of each inner lead has coplanarity, and is excellent in wire-bonding property. In addition, since the first surface of the inner lead is also a flat surface and the third and fourth surfaces are depressed toward the inside of the inner lead, the inner leads are stable and coplanarity width upon wire bonding process can be enlarged.

20

(EMBODIMENTS)

Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to the attached drawings. First, 25 a resin-encapsulated semiconductor device in accordance

with a first embodiment of the present invention described hereinafter with reference to FIGS. 1 through 3. FIG. 1(a) is a cross-sectional view of the encapsulated semiconductor device according to the embodiment of the present invention. FIG. 1(b) is a sectional view of an inner lead taken along the line of FIG. 1(a), and FIG. 1(c) is a cross-sectional view of a terminal column taken along the line 51-52 of FIG. 1(a). Moreover, FIG. 2(a) is a perspective view of the encapsulated semiconductor device according to the embodiment of the present invention, FIG. 2(b) is a view of the resin-encapsulated semiconductor device of FIG. 2(a), and FIG. 2(c) is a bottom view of the encapsulated semiconductor device of FIG. 2(a). In FIGS. 1 and 2, a drawing reference numeral 100 represents an encapsulated semiconductor device, 110 a semiconductor chip, 111 electrodes (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A terminal portions, 133B surfaces, 133S a top surface, 135 a die pad, and 140 resin encapsulate.

In the resin-encapsulated semiconductor device according to the first embodiment, as shown in FIG. 2(a), the semiconductor chip 110 is placed inward of the lead frame 130.

leads 131. As can be readily seen from FIG. 1(a), the semiconductor chip 110 is mounted on the die pad 135 at one surface thereof which is opposed to the other surface thereof where the electrodes pads 111 of the semiconductor chip 110 are arranged. Each electrode pad 111 is electrically connected to the second surface 131A of the inner lead 131 through the wire 120. The electrical connection between the resin-encapsulated semiconductor device 100 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 100 via the terminal portions 133A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 133A located on the top surfaces 133S of the terminal columns 133, respectively. In the resin-encapsulated semiconductor device of the first embodiment of the present invention, it is not necessarily required to provide a protective frame 190, and instead, a structure, as shown in FIG. 1(d), in which no protective frame is used can be adopted.

The lead frame 130 used in the semiconductor device 100 according to the first embodiment is made of a 42% nickel-iron alloy. Therefore, the lead frame 130A which has a contour as shown in FIG. 9(a) and is shaped by an etching process, is used as the lead frame 130. The lead frame 130 has inner leads 131 which are shaped to have a

thickness less than that of the terminal columns 133 or other portions. Dam bars 136 serve as a dam when encapsulating the semiconductor chip 110 with a resin. Moreover, although the lead frame 130A which is processed by etching to have the contour as shown in FIG. 1(a) is used in this embodiment, the lead frame is not limited to such a contour because portions except the inner leads 131 and the terminal columns 133 are not necessary. The inner leads 131 have a thickness of 40 mm whereas the portions 10 of the lead frame 130 other than the inner leads 131 have a thickness of 0.15 mm which corresponds to the thickness of the lead frame blank. The other portions of the lead frame 130 except the inner leads 131 may not have the thickness of 0.15 mm, but have a thickness of 0.125 mm-0.50 mm which 15 is thinner. The tips of the inner leads 131 have a small pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face 131Ab of the inner lead 131 has a substantially flat profile so as to allow an easy wire bonding thereon. Also, 20 as shown in FIG. 1(b), because the third and fourth faces 131Ac and 131Ad have a concave shape which is depressed toward the inside of the associated inner lead, a high strength can be obtained even though the second face (wire bonding surface) 131Ab is narrowed.

25 In the present embodiment, since twisting does not

occur in the inner leads 131 irrespective of whether the inner leads 131 is long or not. The inner leads having the contour, as shown in FIG. 9(a), in which the tips of the inner leads 131 are separated one from another, are prepared by the etching process, and the inner leads are resin-encapsulated after mounting the semiconductor chip thereon as will be described later. However, where the inner leads 131 are long in their length and have a tendency for the generation of twisting therein, it is impossible to fabricate the lead frame by etching to have the contour as shown in FIG. 9(a). Therefore, after etching the lead frame in a state where the tips of the inner leads are fixed to the connecting portion 131B as shown in FIG. 9(c)(1), the inner leads 131 are fixed with the reinforcing tape 160 as shown in FIG. 9(c)(D). Then, the connecting portions 131B which are not necessary in the fabrication of the resin-encapsulated semiconductor device are removed by a press as shown in FIG. 9(c)(E), and a semiconductor device is then mounted on the lead frame.

Hereinafter, a method for the fabrication of the resin-encapsulated semiconductor device will now be described with reference to FIG. 8. First, the lead frame 130A, as shown in FIG. 9(a), which is shaped by the etching process as will be described later, is prepared such that the second surfaces 131Ab of the inner leads 131 are

directed upward (FIG. 8(a)).

Then, the semiconductor chip 110 is mounted onto the die pad 135 such that the surfaces of the semiconductor chip 110 on which the electrodes 111 are arranged, are directed upward (FIG. 8(b)).

Next, after the semiconductor chip 110 is fastened onto the die pad 135, the electrodes 111 of the semiconductor chip 110 and the second surfaces 131ab of the inner leads 131 are bonded with each other using wires 120 (FIG. 8(c)).

Subsequently, encapsulation is carried out with the conventional resin encapsulate 140. Thereafter, unnecessary portions of the lead frame 130 which are protruded from the resin encapsulate 140 are cut by a press to form terminal columns 133 and also the side surfaces 133b of the terminal columns 133 (FIG. 8(d)).

Then, the dam bars 136, the frame portions 137, etc. of the lead frame 130A as shown in FIG. 9 are removed. Next, the terminal portions 133A each made of the semi-spherical solder are arranged on the outer surface of each terminal column 133 to fabricate a resin-encapsulated semiconductor device (FIG. 8(e)).

Thereafter, the protective frame 180 is arranged by means of adhesive around an entire outer surface of the resultant structure in such a manner that the side surfaces

of the terminal columns 133 are covered thereby FIG. 6(f)). At this time, the protective frame 180 functions to reinforce the semiconductor device. In other words, the protective frame 180 serves to prevent moisture from leaking into a gap between the resin encapsulate and the terminal columns due to the fact that the side surfaces of the terminal columns are exposed to the outside, whereby a crack is not formed in the semiconductor device and the breakage of the semiconductor device is avoided. However, persons skilled in the art will readily appreciate that it is not necessarily required to provide the protective frame 180. Also, when such an encapsulating process by the resin is carried out using a desired mold, the encapsulating process is implemented in a state wherein the outer side surfaces of the terminal columns of the lead frame are somewhat protruded out of the resin encapsulate.

A method for etching the lead frame of the first embodiment will now be described in conjunction with the attached drawings. FIG. 11 is of cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment. In particular, the cross-sectional views of FIG. 1 correspond to a cross section taken along the line D1-D2 of FIG. 9(a). In FIG. 11, the reference numeral 1110 denotes a lead frame blank, 1120A and 1120B resist patterns, 1130 first opening,

1140 second openings, 1150 first concave portions, 1160 second concave portions, 1170 flat surfaces, and 1180 an etch-resistant layer. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of the lead frame blank 1110 made of a 42% nickel-iron alloy and having a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 1120A and 1120B having first opening 1130 and second openings 1140, respectively 5 (FIG. II(a)).

The first opening 1130 is adapted to etch the lead frame blank 1110 to have a flat etched bottom surface to a thickness smaller than that of the lead frame blank 1110 in a subsequent process. The second openings 1140 are adapted 15 to form desired shapes of tips of inner leads. Although the first opening 1130 includes at least an area forming the tips of the inner leads 111C, a topology generated by partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a clamping process for fixing the lead frame. Thus, an area 20 to be etched needs to be large without being limited to fine portions of the tips of the inner leads. Thereafter, both surfaces of the lead frame blank 1110 formed with the resist patterns are etched using a 48 Be' ferric chloride 25 solution of a temperature of 57°C at a spray pressure of

2.5 kg/cm². The etching process is terminated at the point of time when first recesses 1150 etched to have a flat etched bottom surface have a depth h corresponding to $2/3$ of the thickness of the lead frame blank (FIG. II(a)).

5 Although both surfaces of the lead frame blank 1110 are simultaneously etched in the primary etching process, it is not necessary to simultaneously etch both surfaces of the lead frame blank 1110. The reason why both surfaces of the lead frame blank 1110 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as will be described later. The total time taken for the primary and secondary etching processes is less than that taken in the case of etching of only one surface of the lead frame blank on which the resist pattern 1120A is formed. Subsequently, the surface provided with the first recesses 1150 respectively etched at the first opening 1130 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Incotec Inc.) by a die coater to form an etch-resistant layer 1180 so as to fill up the first recesses 1150 and to cover the resist pattern 1120A (FIG. II(c)).

10 It is not necessary to coat the etch-resistant layer 1180 over the entire portion of the surface provided with the resist pattern 1120A. However, it is preferred that the etch-resistant layer 1180 be coated over the entire

15 20 25

portion of the surface formed with the first recesses and first opening 1130, as shown in FIG. 11(c), because it is difficult to coat the etch-resistant layer 1180 on the surface portion including the first recesses.

5 Although the etch-resistant layer 1180 wax employed in this embodiment is an alkali-soluble wax, any surface-resistant to the etching action of the etchant solution remaining somewhat soft during etching may be used.

10 For forming the etch-resistant layer 1180 is not limited to the above-mentioned wax, but may be a wax of a UV-seal type. Since each first recess 1130 etched by the primary etching process at the surface formed with the pattern is adapted to form a desired shape of the inner lead to be filled up with the etch-resistant layer 1180, it is further etched in the following secondary etching process.

15 The etch-resistant layer 1180 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in direction of the thickness of the lead frame blank in

20 secondary etching process. Then, the lead frame blank

25

subjected to a secondary etching process. In this secondary etching process, the lead frame blank 1100 is etched at its surface formed with first recesses 1150 having a flat etched bottom surface, to completely 5 perforate the second recesses 1160, thereby forming the tips of inner leads 131A (FIG. 11.d)).

The bottom surface 1170 of each recess formed by the primary etching process is flat. However, both side surfaces of each recess positioned at opposite sides of the 10 bottom surface 1170 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After completion of the cleaning process, the etch-resistant layer 1180, and resist films (resist patterns 1120A and 1120B) are sequentially removed. Thus, 15 a lead frame 130A having a structure of FIG. 9(a) is obtained in which tips of the inner leads 131A are arranged at a fine pitch. The removal of the etch-resistant layer 1180 and resist films (resist patterns 1120A and 1120B) is achieved using a sodium hydroxide solution serving to 20 dissolve them.

The processes for manufacturing the lead frame as shown in FIG. 11, is to form by means of etching the lead frame having the tips of the inner leads used in this embodiment of the present invention, which have a thickness 25 less than that of the lead frame. Especially, the first

surfaces 131Aa of the tips of the inner leads as shown in FIG. 1, are flushed with one surfaces of remaining portions of the inner leads having the same thickness with the lead frame while being opposed to the second surfaces 131Ab, and the third and fourth surfaces are formed to have a concave shape which is depressed toward the inside of the inner leads. Where a semiconductor chip is mounted on the second surfaces 131Ab of the inner leads by means of bumps for an electrical connection therebetween, as in a semiconductor device according to a third embodiment as will be described hereinafter, an increased tolerance for the connection by bumps is obtained when the second surface 131Ab has a concave shape depressed toward the inside of the inner lead. To this end, an etching method shown in FIG. 12 is adopted in this case. The etching method shown in FIG. 12 is the same as that of FIG. 11 in association with its primary etching process. After completion of the primary etching process, the etching method is conducted in a manner different from that of the etching method of FIG. 11 in that the second etching process is conducted at the side of the first recesses 1150 after filling up the second recesses 1160 by the etch-resist layer 1180, thereby completely perforating the second recesses 1160. At this time, by implementing the primary etching process, etching at the side of the second openings 1140 is performed in a

sufficient manner. The cross section of each inner lead, including its tip, formed in accordance with the etching method of FIG. 12, has a concave shape depressed toward the inside of the inner lead at the second surface 131B, as shown in FIG. 6(b).

The etching method in which the etching process is conducted at two separate steps, respectively, as in that of FIGs. 11 and 12, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130A of the first embodiment shown in FIG. 9 involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In particular, the etching method makes it possible to achieve a desired fineness. In accordance with the method illustrated in FIGS. 11 and 12, the fineness of the tip of each inner lead 131A formed by this method is dependent on the shape of the second recesses 1160 and the thickness t of the inner lead tip which is finally obtained. For example, where the blank has a thickness t reduced to 50 μm , the inner leads can have a fineness corresponding to a lead width W_1 of 100 μm and a tip pitch p of 0.15 mm, as shown in FIG. 11(e). In the case of using a small blank thickness t of about 30 μm and a lead

width W_1 of 70 mm, it is possible to form inner leads having a fineness corresponding to an inner lead pitch p of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness t and the lead width W_1 . That is to say, an inner lead tip pitch p up to 0.08 mm, a blank thickness up to 25 mm, and a lead width W_1 up to 40 mm can be obtained.

In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in FIG. 9(a) can be directly obtained. However, where the inner leads are long in length as compared to those of the first embodiment, the inner leads have tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state where the tips of the inner leads are bound to each other by a connecting member 131B as shown in FIG. 9(c)(1). Then, the connecting member 131B which is not necessary for the fabrication of a semiconductor package is cut off by means of a press to obtain a lead frame shaped as shown in FIG. 9(a).

Moreover, as described above, where unnecessary portions in a structure shown in FIG. 9(c)(1) are cut to obtain the lead frame having the contour shown in FIG.

9(a), a reinforcing tape 160 (a polyimide tape is generally used, as shown in FIG. 9(a)(a)). While the connecting member 131B is cut off by means of a press to obtain the contour shown in FIG. 9(a)(D), a semiconductor device is mounted on the lead frame still having the reinforcing tape attached thereto. Also, the mounted semiconductor device is encapsulated with a resin in a condition where the lead frame still has the tape. The line E11-E12 illustrates a cut portion.

10 The tip of the inner lead 131 of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in FIG. 13(1)(a). The tip 131A has an etched flat surface (second surface) 131AB which is substantially flat and therefore has a width W1 slightly greater than the width W2 of an opposite surface. The widths W1 and W2 (about 1000 μ m) are more than the width W at the central portion of the tips when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having 15 opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily electrically connected to a semiconductor device (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as 20 25 shown in FIG. 13(D)(a). In FIG. 13, a reference numeral

131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, and 121A and 121B, respectively, a plated portion. In the case of FIG. 13(B)(a), there has particularly excellent in wire-bonding property, because the etched flat surface does not have roughness. FIG. 13(1) shows that the tip 1331B of the inner lead of the lead frame fabricated according to the process illustrated in FIG. 14 is wire-bonded to a semiconductor device. In this case, however, both the opposite surfaces of the tip 10 1331B of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite surfaces of the tip 1331B is formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared 15 to that of the etched flat surface of this first embodiment. FIG. 13(2) shows that the inner lead tip 1331C or 1331D, obtained by thinning in its thickness by a means of a press (coining) and then by etching, is wire-bonded to a semiconductor device (not shown). In this 20 case, however, a pressed surface of the inner lead tip is not flat as shown FIG. 13(2). Thus, the wire-bonding on either of the opposite surfaces as shown in FIG. 13(2)(a) or FIG. 13(2)(b) often results in an insufficient wire-bonding stability and a problematic quality. The drawing 25 reference numeral 1331Ab represents a coining surface.

A modified example of the resin-encapsulated semiconductor device in accordance with the first embodiment of the present invention will be described hereinafter. FIGS. 3(a) through 3(e) are cross-sectional views of the modified example of the resin-encapsulated semiconductor device in accordance with the first embodiment of the present invention. The semiconductor device of the modified example as shown in FIG. 3(a), is different from that of the first embodiment in that a position of the die pad 135 is changed, that is, the die pad 135 is exposed to the outside. By the fact that the die pad 135 is exposed to the outside, the heat dissipation property is improved as compared to the first embodiment. Also, in the semiconductor device of the modified example as shown in FIG. 3(b), because the die pad 135 is exposed to the outside, the heat dissipation property is improved as compared to the first embodiment. Unlike the first embodiment or the modified example as shown in FIG. 3(a), in the present modified example as shown in FIG. 3(b), because a direction of the semiconductor device 110 is changed, the first surfaces of the lead frame are established as the wire bonding surfaces. The modified examples as shown in FIGS. 3(c), 3(d) and 3(e), illustrate semiconductor devices which are obtained by modifying the semiconductor devices of the first embodiment, the modified

example as shown in FIG. 3(a) and the modified example as shown in FIG. 3(b), wherein the semi-spherical solderers are not used, and instead, the top surfaces of the terminal columns are directly used as the terminal portions, whereby 5 an entire manufacturing procedure can be simplified.

Next, a resin-encapsulated semiconductor device in accordance with a second embodiment of the present invention will be described. FIG. 4(a) is a cross-sectional view of the resin-encapsulated semiconductor 10 device in accordance with the second embodiment of the present invention, FIG. 4(b) is a cross-sectional view illustrating inner leads, taken along the line A3-A4 of FIG. 4(a), and FIG. 4(c) is a cross-sectional view illustrating a terminal column, taken along the line B3-B4 15 of FIG. 4(a). Because an outer appearance of the semiconductor device of the second embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 3, the drawing reference numeral 200 represents a semiconductor device, 210 a semiconductor chip, 211 electrodes (pads), 220 wires, 230 a lead frame, 231 inner leads, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B side surfaces, 233S top surfaces, 240 a resin encapsulate, and 270 a reinforcing fastener tape. In the semiconductor device of 20 25

this second embodiment, the lead frame 230 does not have a die pad, the semiconductor chip 210 is fastened to the inner leads 231 by the reinforcing fastener tape 270, and the semiconductor chip 210 is electrically connected at its electrodes (pads) 211 to the second surfaces 231ab of the inner leads 231 by wires 220. Also, in the case of this second embodiment, similarly to the first embodiment, the electrical connection between the resin-encapsulated semiconductor device 200 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 200 via the terminal portions 233A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 233A located on the top surfaces 233S of the terminal columns 233, respectively.

In addition, the semiconductor device of this second embodiment does not have a die pad as shown in FIGs. 10(a) and 10(b). The manufacturing method of the semiconductor device of this embodiment using the lead frame 230A which is shaped by the etching process is substantially the same as that of the first embodiment except that, while in the case of the first embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip is fastened to the inner leads, in the case of the second embodiment, the wire

bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip 210 is fastened together with the inner leads 231 by the reinforcing fastener tape 260. Also, the cutting process 5 for the unnecessary portions and the terminal portion forming process after resin encapsulating process are implemented in the same way as the first embodiment. The lead frame 230 as shown in FIG. 10(a) is obtained in the same manner by which the lead frame 130A as shown in FIG. 10 10(a) is obtained. In other words, by cutting the resultant structure obtained after etching the structure as shown in FIG. 10(c)(1), the contour as shown in FIG. 10(a) is obtained. At this time, the conventional reinforcing fastener tape 260 (the polyimide tape) as shown in FIG. 15 10(c)(D), which performs a reinforcing function is used.

FIG. 5(a) through 5(c) are cross-sectional views illustrating modified examples of the semiconductor device of the second embodiment. The semiconductor device as shown in FIG. 5(a) is different from the semiconductor device of the second embodiment, in that the surface of the semiconductor chip thereof which has the electrodes is directed downward. The modified examples as shown in FIGS. 20 5(b) and 5(c), illustrate semiconductor devices which are obtained by modifying the semiconductor devices of the second embodiment and the modified example as shown in FIG. 25

5(a), wherein the semi-spherical solders are not used, and instead, the top surfaces of the terminal columns are directly used as the terminal portions. In these examples, because a protective frame is not used and the side 5 surfaces 333B of the terminal columns 333 are exposed to the outside, a checking operation by a test, etc. can be easily performed.

Hereinafter, a resin-encapsulated semiconductor device in accordance with a third embodiment of the present invention will be described. FIG. 6(a) is a cross-sectional view of the resin-encapsulated semiconductor device of the third embodiment, FIG. 6(b) is a cross-sectional view illustrating inner leads, taken along the line A5-A6 of FIG. 6(a), and FIG. 6(c) is a cross-sectional view illustrating a terminal column, taken along the line B5-B6 of FIG. 6(b). Because an outer appearance of the semiconductor device of this third embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 6, the drawing reference numeral 300 represents a semiconductor device, 310 a semiconductor chip, 312 bumps, 330 a lead frame, 331 inner leads, 331Aa a first surface, 331Ab a second surface, 331Ac a third surface, 331Ad a fourth surface, 333 terminal columns, 333A terminal portions, 333B side surfaces, 333S top surfaces, 340 a resin encapsulate, and 350 a

reinforcing fastener tape. In the semiconductor device of this third embodiment, the semiconductor chip 310 is fastened to the second surfaces 331Ab of the inner leads 331 by the bumps 311 thereby to be electrically connected to the second surfaces 331Ab. The lead frame 330 has a contour as shown in FIGs. 10(a) and 10(b), which is formed by the etching process of FIG. 11. As shown in FIG. 13(1)(b), both widths W1A and W2A (about 100 μ m) at top and bottom ends of the inner leads 331 are larger than a width WA at a center portion in a thickness-wise direction. Due to the fact that the second surfaces 331Ab of the inner leads 331 is depressed toward the inside of the inner leads and the first surfaces 331Aa are flat, a desired fineness can be obtained. Also, when the second surfaces 331Ab of the inner leads 331 are electrically connected to the semiconductor chip via bumps, easy connection can be accomplished as shown in FIG. 13(□)(b). Further, in the case of this third embodiment, as in the case of the first and second embodiments, the electrical connection between the resin-encapsulated semiconductor device 300 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 300 via the terminal portions 333A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 333A located on the top surfaces of the terminal

columns 333, respectively.

In addition, unlike the semiconductor device of the first embodiment, the semiconductor device of this third embodiment uses a lead frame which is shaped by the etching process as shown in FIG. 12. However, the manufacturing method of the semiconductor device of this embodiment is substantially the same as that of the first embodiment except that, while in the case of the first embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip is fastened to the inner leads, in the case of this third embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip 310 is fastened to the inner leads 331 via the bumps. Also, the cutting process for the unnecessary portions and the terminal portion forming process after resin encapsulating process are implemented in the same way as the first embodiment.

FIG. 6(d) is a cross-sectional view illustrating a modified example of the semiconductor device in accordance with the third embodiment of the present invention. In the modified example of the semiconductor device as shown in FIG. 6(d), the terminal portions each comprising the semi-spherical solder are not provided, and the top surfaces of the terminal columns are directly used as the terminal

portions. Because the protective frame is not used and the side surfaces 433B of the terminal columns 433 are exposed to the outside, a checking operation by a test, etc. can be easily performed.

5 Hereinafter, a resin-encapsulated semiconductor device in accordance with a fourth embodiment of the present invention will be described. FIG. 7(a) is a cross-sectional view of the resin-encapsulated semiconductor device of the fourth embodiment, FIG. 7(b) is a cross-sectional view illustrating inner leads, taken along the line A7-A8 of FIG. 7(a), and FIG. 7(c) is a cross-sectional view illustrating a terminal column, taken along the line B7-B8 of FIG. 7(b). Because an outer appearance of the semiconductor device of this fourth embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 7, the drawing reference numeral 400 represents a semiconductor device, 410 a semiconductor chip, 411 pads, 430 a lead frame, 431 inner leads, 431Aa a first surface, 431Ab a second surface, 431Ac a third surface, 431Ad a fourth surface, 433 terminal columns, 433A terminal portions, 433B side surfaces, 433S top surfaces, 440 a resin encapsulate, and 470 insulating adhesive. In the semiconductor device of this fourth embodiment, one surface of the semiconductor chip 410 on which the pads 411 are disposed is fastened to the second

surfaces 431Ab of the inner leads 431 by the insul.
5 adhesive 470, and the pads 411 and the first surfaces .
of the inner leads 431 are electrically connected with
other by wires 420. The semiconductor device of
the fourth embodiment uses the same lead frame which is use
the third embodiment, which has the contour as shown
FIG. 10(a) and 10(b). Also, in the case of this fo
embodiment, as in the case of the first and sec
10 encapsulated semiconductor device 400 of this embodim
and an external circuit is achieved by mounting the res
encapsulated semiconductor device 400 via the termin
portions 433A each being made of a semi-spherical solder
on a printed circuit substrate, with the terminal portio
15 433A located on the top surfaces of the terminal colum
433, respectively.

FIG. 7(d) is a cross-sectional view illustrating
modified example of the semiconductor device in accordance
with the fourth embodiment of the present invention.
20 the modified example of the semiconductor device as show
in FIG. 7(d), the terminal portions each comprising th
semi-spherical solder are not provided, and the to
surfaces of the terminal columns are directly used as the
terminal portions. Because the protective frame is not
25 used and the side surfaces 433B of the terminal columns 433

are exposed to the outside, a checking operation by a test, etc. can be easily performed.

(EFFECTS OF THE INVENTION)

5 The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number. Furthermore, the resin-
10 encapsulated semiconductor device in accordance with this invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in FIG. 13(b). As a result of this, the resin-encapsulated semiconductor device does not have a problem in that the outer leads are bent, or a problem
15 associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a parasitic capacity, and shortened in a transfer delay
20 time.

59:543 v:

59:543 v:

特開平9-8205
(1) 公開 平成9年(1997)7月1日(1) 国内公報番号
H01L 23/30

類別記号 前記登録番号

F1
H01L 23/30

送信表示番号

23/12

23/12

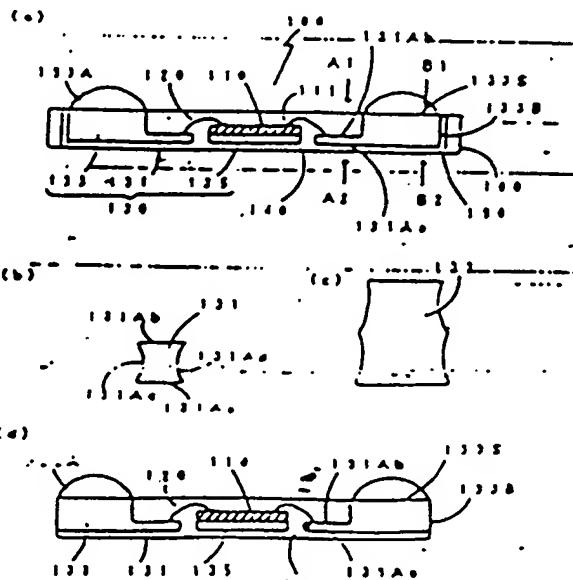
-1
1
1(1) 出願番号 4807-170490
(2) 出願日 平成7年(1995)6月14日(1) 代理人 000002897
大日本印刷株式会社
東京都新宿区市谷本郷町一丁目1519
(2) 見出者 山田 丈一
大日本印刷株式会社
東京都新宿区市谷本郷町一丁目1519
(3) 見出者 佐々木 夏
大日本印刷株式会社
(4) 代表人 井原士 小西 は美

(3) 【発明の名称】 電気封止型半導体装置

(5) (実物) (左図面)

(目的) 多次元化に備えて、且つ、アフターリードの位置ズレや平坦化の問題に立ち向かう電気封止型半導体装置を提供する。

(構成) 一般的に構成したリードフレーム部材と同じ部材との外側凹部と形成するための形状の電子部材133とを有し、且つ、電子部材133はインナーリードの外側部においてインナーリードに対して左右方向に嵌入して並びられており、電子部材の先端部に半球等からなる電子部材を並び、電子部材を封止用樹脂部から露出させ、電子部材の外側部の側面を封止用樹脂部から露出させており、インナーリードは、第1部材が前方尾で第2部材131Aa、第2部材Ab、第3部材Ac、第4部材Adの順序を有しており、かつ第1部材はリードフレーム部材と同じ部材の部分の一方の端と同一平面上にあって第2部材に向きており、第3部材、第4部材はインナーリードの内部に向かって凹んだ形状に形成されている。



(明治の文庫)

(コスモ1) 2枚ニッティング加工によりインナーリードの底をカリードフレームニットの底より少し高出に持ちながらそれなりのフレームを用いた半透明底であつて、約20リードフレームは、リードフレーム本体より少し高いインナーリードと、メインナーリードに一併的に巻き込んだリードフレームニットと所定位置の外底部分と接着するための形状の2段E字とを有し、且つ、E字E字はインナーリードの内底面においてインナーリードに対して底面万円に嵌合して受けられており、前子板の元底面にキヤウドからなる前子板を抜け、前子板を引き戻す指板から抜けさせ、又子板のかさみの内底面を封止用指板から抜けさせており、インナーリードは、前子板が4万円で第1枚、第2枚、第3枚、第4枚の4枚を有しており、かつ第1枚はリードフレーム本体と同じ底その他の部分の一方の面と同一平面上にあって第2枚に向むかっており、第3枚、第4枚はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とするが封止用ニット底面。

〔付録2〕 2号ニッテン加工によりインテリードの底面がリードフレームニッテンを上りし底面に加工されたリードフレームを用いたことは既記であつて、前記リードフレームに、リードフレーム底面よりも底面のインテリードと、底インテリードに一骨的に連結したリードフレームと同様なのが底面などが残すための仕組みとを申し、且つ、電子部はインテリードの外端側においてインテリードにに対して四方に直交して抜けられており、電子部の元部の一部を封止用接着剤から露出させて電子部とし、電子部の外端側の部を封止用接着剤から露出させており、インテリードは、底面部分が1万円で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面にリードフレーム底面と同じ底その他の部分の一方の面と同一面上にあって第2面に向き合っており、第3面、第4面はインテリードの内側に向かって凹んだ底面におおまれていることを背面どする底面が封止用接着剤である。

(ヌヌ第3) ヌヌ第1ないし2において、半區は主子
はインナーリード間に在り、主子は主子の電圧部に
クイアにてインナーリードと電気的に結合されていら
とそれをとする場合に只その半區。

(註不図4) フラスコにおいて、リードフレームにダイパッドを施しており、半導体チップにダイパッド上に接着され、固定されていることを示す。左側は止端子半導体装置。

(コスモ5) は式場5において、リードフレームにダイパッドを貼らないもので、エポキシ系にインナーリードとともに本体固定用テープにより固定されていうことを特徴とする構成は上記の如くである。

[註文履6] リスト署しないし2において、エコノミテ
は本体本体テのニ区段側の面をインナーリードの又2面

に施設を借りオガにより運営されており、女は女性専用の
部屋はウイメンによりインテリードの男1名と共に女性
に施設を貸すことを主とすると女性専用施設は女性
居。

(エヌヌウ) ゼヌタ 1 ないし 2 において、ゼヌヌヌキにパンプによりインテーリードの声 2 音に固定されてる爲めにインテーリードと併記していることを示す。テモノ音符記号解説書を参照。

(足利の文庫名目)

10 (0001)

(最高上の利用方法) エクサ用に、ギアは各部の多機能性に考慮して、ミラ、アクターリードの逆ズレ（スニーカー）やアクターリードの平滑性（コブタリティー）の充実に力をこめる。リードフレームを用いた複数歯止型ギアはさばに応じる。

100021

(左) (右) (左) (右) (左) (右) (左) (右) (左) (右) (左) (右)

に、一五〇四〇ミリ(2)に示されるような用法であり。
16 これは三元ミリの左面盾とダイバッド5615110
灰色の区別との区別が行なうためのアフターリード
式1513。アフターリード式1513に一体となつた
インナーリード式1512、はインナーリード式151
2の左面部と三元ミリ1520の三底パッド1521

とモニタ式的には止むためのワイヤ1530、半導体素子1520を並べておきながらの応力、荷物から守る方法LS400でからなっており、これはモニタ1520をリードフレームのダイパッド1511に成るには可したは
に、半導体LS400により止してパッケージとしたもので、これはモニタ1520の電極パッド1521に付けて
おきのインテリード1512を必要とするものである。
そして、このような反応防止型の半導体素子の組立
工程として用いられる(本発明)リードフレームは、一方
には図15(b)に示すような構造のものである。
半導体素子

テを反対するなりのダイバッジ1511と、ダイバッジ1511の裏面に行はれた本題は、テと並ぶたれのインナーリード1512、エインナーリード1512に並んで、内面との面積を行なうためのスクターリー

14. リードフレーム LSI 10 金型を実験するフレーム
(E) LSI 15 金型を採用しており、逆元、ツバール、4
2合金 (4.2×ニッケル-4.2合金)、刃先を金のような

この実験は、主として電極を用いて、ラジオ波を直接測定する方法である。図 15 (b) (c) は、図 15 (b) (イ) に示すリードフレームを用いたものである。

[0000] このようなリードフレームを採用した場合は止歎音区はまず（プラスチックリードフレームハンゲージ）において、電子回路の取扱を小にした時元と二番目までに本質化にはい。小回路化につきヨコテの

は大変が見るので、その結果、左側の柱に接着面
にOFP (Quad Flat Package) 及び
TQFP (Thin Quad Flat Package)
等では、リードの多ピン化が苦しくなってきた。
上記の半導体基板に用いられるリードフレームは、既存
なものにはフォトリソグラフィー技術を用いたニッティング
加工万台により生産され、既得でないものはプレスにて
か加工万台によろばれられるのが一般的であったが、こ
のような半導体基板の多ピン化にはい、リードフレーム
においても、インナーリード基板の多ピン化が進む。即ち、即
ちに、既存のものに改めては、プレスによる打ち込みと加
工によらず、リードフレーム基板の厚さが0.25mm
ほどのものを用い、ニッティング加工で対応してきた。こ
のニッティング加工万台の工法について以下、図14に示
いて解説に述べておく。まず、既存もしくは42x
ニッケル-銅をからなる厚さ0.25mm程度の基板
(リードフレーム基板1410) を十分焼却 (図14
(a)) した後、エクロムレジストを形成したとした
ならばゼンレジスト等のフォトリジスト14-1
が底の鋼板に糊に塗布する。(図14(b))
次いで、所定のパターンが焼却されたマスクを介して
底板上でレジスト膜を形成した後、所定の温度まで上
昇したレジスト膜を烘燥して(図14(c))、レジスト
-パターン1430を形成して焼却層へ焼付型成形をそ
ぞりに応じて行い、焼化成二酸化炭素を三つたぶんとて
ニッティング等にて、スプレイにて塗布 (リードフレー
ム基板1410) に吹き付け所定の寸法にニッティン
グし、下述せよ。(図14(d))
ないで、レジスト膜を熱処理し(図14(e))、銅
めっき、左室のリードフレームを用いて、ニッティング加工万台
を終了する。このように、ニッティング加工万台によ
る場合はリードフレームは、更に、元定のエリアに当
たりでないが、あるいは、あるいは、既存の位置を保
て、インナーリード基板用の溶接材料をボリイミド
テープにて接着部を覆したり、必要に応じて底板の
裏タブ吊りバーを白い加工し、ダイバッド頭をダクシ
カットする処理を行う。しかし、ニッティング加工万台にお
いては、ニアテクノロジによるニッティングは焼却層の
ために複数(五)方向にも進むため、その複数の方向に
も複数があるのが一般的で、図14に示すように、リードフレーム基板の両面からニッティングするため、ライ
ンナーリード基板に接着させ、ケイン側はガム等にて
は、底板の50~100%強度とされている。又、リ
ードフレームの底板とのアフターリードの位置を大き
く場合、一例的には、その底板に約0.125mm以上
必要とされている。この点、図14に示すようなニッティ
ング加工万台のとき、リードフレームの長さを0.15
mm-c 125mmほどまで多くすることにより、ウ
イヤボンディングのための必要な距離を70~80mm
を実現し、0.165mmピッチ程度の複数のインナー

リード丸元彌のエッチングによる丸ニギは廃してさうが、これが花臣とされてゐた。

[0004] しかしながら、近々、まだ片山ニヨウエアは、小パッケージでは、まだテテアラインテーリードのピッチが0.165mmピッチを見て、既に0.15-0.13mmピッチまでのピッチ化アルがでた。そこで、エッティング加工において、リード凹凸のままでなくした場合には、アセンブリニヤスニニヤシといつて、工場におけるアフターリードの電気特性が同じいから、單にリード凹凸の基部をよくしてニンテナニアニを行なう方法にも困界が出てきた。

(0005) これに反応する方法として、アカーネー
ドの発達段階したまま熟成化を行う方法で、インテー
リード部分をハーフエッチングもしくはプレスにより削
除してエッチング加工を行なう方法が採用されている。
しかし、プレスにより近くしてエッチング加工をすること
には、は工場においての品質が不足する(内的には、
つとニリアの問題)。ボンディングモレルチタン
板のクラップに必要なインテリードの寸法は、丁度
底が反応されない。留置を2底にならなければならな
く留置工場が非常になら、その結果コストを上乗す。

・インテリード版分をハーフニッティングにより早く
てエッティング加工を行う方法の場合にも、部品を2枚
なりなければならず、販売価格が倍にならうといふ点
があり、いずれも実用化には、まだ至っていないのが
状況であろう。

00061

現状が本邦じようとするは既トニモニニ實に次第の多
様化にはいインナーリードビッテが成くなるも、ニモ
スムセスモススする如に、アフターリードの位置レシ（ス
ピーキ）やエミシ（コブラナリティ）の位置レシがズ
レ高となつてゐる。又其外に、このようなは氏のも
多様化に加ふると、且つ、アフターリードの位置
（スピーキ）やエミシ（コブラナリティ）の位置
が高めさうとはなまの現象をしつゝとてゐるもので

• 21

昌を成長するための手段)を民間の研究所に止まる場
合に、2次エッティング加工によりインナーリードの
ガリードフレーム部分をよりし幅内にわたる二
たリードフレームを用いた半導体はあって、内
一アーリードフレームのツーリングコスト・ムーニングコスト等
ナーリードと、インナーリードに一併に差なし
ードフレーム部分と同じくその効率性と広用する
の半導体の開発とをめざし、且つ、電子部品インナ
ーの開拓においてインナガリードに対して何ら不
満を抱いておらず、電子部品の先進性に目を向
こらすニキビを開け、電子部品を対応規格基準からな出
る。インナーリードに、既存規格が該方式で第1

西、第2面、第3面、あくまでのくをもつており、かつ
第1面にリードフレームミミズと信じばその他の部分の一
方の面と同一平面上にあって第2面に向かって凹ん
だおなにあなされていることをモロコとするものであらう。
また、二見物の右指月止型モロコは仕事は、2番エッチング
加工によりインテーリードの底面がリードフレームミミズ
の底面によりしめ方に左側工されたリードフレームを
用いた二見物である。又記リードフレームに、リ
ードフレーム底面よりしめ方のインテーリードと、ミイ
シテーリードに一様にモロコしたリードフレームモロコと
同じくその外周四角と対応するための正方形のモロコとそ
に付し、足し、モロコはインテーリードの内面において
インテーリードにおいて底面方向に突出して抜けられて
おり、モロコの元ス面の一端を片止用脚部から突出させて
モロコとし、モロコのかぶれの部を片止用脚部から
突出させており、インテーリードは、モロコが底方
でモロコ、第2面、第3面、第4面のくをもつてお
り、かつモロコはリードフレームミミズと信じばこゝの
部分の一方の面と同一平面上にあって第2面に向かってお
り、第2面、第3面はインテーリードの内面に向かって
凹んだおなにあなされていることをモロコとするもの
であらう。そして、上記において、モロコモロコは、インテ
ーリードの内面にはモロコ、モロコモロコのモロコ（バッ
ド）にワイヤにてインテーリードと電気的につながれて
いることをモロコとするものであらう。また、モロコフレ
ームはダイバッドを示し、エボニモロコにダイバッド上に
座敷、モロコされていることをモロコとするものであり、モ
ロコフレームはダイバッドをもたないもので、モロコ
モロコはインテーリードとともに弹性用テープにより固定
されていることをモロコとするものであらう。また、上記に
おいて、リードフレームにダイバッドをもたないもの
で、エボニモロコはインテーリードとともにモロコモロ
コにモロコをもつていることをモロコとするものであ
る。また、上記において、モロコモロコは、モロコモロ
コの電極部（バッド）の面をモロコの内面に通
じる接合部により固定されており、モロコモロコの電極
部（バッド）にワイヤによりインテーリードのみ、こ
こで電気的に接続されていることをモロコとするものであ
る。また、上記において、モロコモロコは、パンプによりイン
テーリードの第2面に固定され、モロコにインテーリー
ドとはつけていないこと、モロコモロコのモロコの面
において、モロコの元ス面にモロコからならモロコを
受け、モロコを片止用脚部から突出させるモロコ、モロ
コからなるモロコが片止用脚部から突出したもののが一
筋のものであらうが、必ずしも突出する必要はない。また、モ
ロコモロコの外周四角の内面を片止用脚部から突出させて、
その二見物いうふちもあらうが、片止用脚部から突出さ
れてモロコをモロコを介してモロコで留ってしめい。
（0008）

(参考) 本発明の本筋片止型または本筋の筋筋外を上に突出することにより、リードフレームを突いたを本筋片止型または本筋において、多面子化に応じて、且つ、本筋の筋1 (b) に示すとおりリードフレームを突いた場合のように、フターリードのフオーミングニ端をそれとしない場合、これらの工段に既存して存在しているフターリードのスリューのねじやフターリードのニ型は (コープラーティー) のねじを全く無くてことができる。本筋の筋の横幅を可変とすらものである。又しくは、2枚エッチング加工によりインナーリードのねじが本筋の筋よりも又本筋に内側加工された。又も、インナーリードを本筋に加工された多ビンのリードフレームを用いることにより、本筋の筋の多面子化に応じてきらしのとしている。又に、既述する。図11に示す2枚エッチングにより作成されたリードフレームを用いることにより、インナーリードの筋の筋2面に平滑性を確保でき、ワイヤボンディングの良いものとしている。また筋1面も平滑面で、筋2面、筋3面はインテーザード間に凹凸であらためインテーザード部は、反対してなり、且つ、ワイヤボンディングの平坦面を広くとれる。
 (0009)

(実用例) 本発明の本筋片止型または本筋の筋筋外を上にそって成形する。まず、本実用例1の本筋片止型または本筋を図1-A面2に示して成形する。図1 (a) に示すA面1の筋筋片止型または本筋の筋筋面であり、図1 (b) に示すA面1 (a) のA1-A2におけらインテーザード部の筋面まで、図1 (c) に示すA面1 (a) のB1-B2における筋子E筋の筋面まで、C2 (d) に示す本筋外1の筋筋片止型または本筋の筋筋面であり、C2 (d) はその筋筋面を、C2 (e) に示す筋を示している。図1、
 A2 (a) : 0.0にニス部E筋、1.1 (b) に本筋はニスE筋、1.1 (c) にニスB (パッド) 、1.2 (d) にワイヤ、1.3 (e) にリードフレーム、1.3 (f) にインテーザード、1.3 (g) A筋は筋1面、1.3 (h) B筋は筋2面、1.3 (i) A筋は筋3面、1.3 (j) A筋は筋4面、1.3 (k) にニスE筋、1.3 (l) A筋に反対面、1.3 (m) B筋に反対面、1.3 (n) S筋は先端面、1.3 (o) にダイパッド、1.4 (p) は片止型筋面である。本実用例1の筋筋片止型または本筋に成形しては、図1 (a) に示すようには、ニスE筋1.1 (a) は、インテーザード間に成り、且つ、ニスE筋1.1 (a) でニスE筋1.1 (b) のニスB (パッド) 1.1 (c) 以上にして、ニスE筋1.1 (b) のニスB (パッド) 1.1 (c) 以上に成り得るときにニスE筋1.1 (b) 以上に成り得る。固定されていいる。そして、ニスB (パッド) 1.1 (c) にインテーザード1.3 (f) の筋2面1.3 (g) A筋にてワイヤ1.2 (d) により、ニスE筋1.1 (a) が押されている。本実用例1のニスE筋はニスE筋1.1 (b) と本筋面との公差約0.05mmに、ヨテ1.3 (k) の先端1.3 (n) に成形されたニスE筋の半径からならニスE筋1.3 (k) A筋を介してプリント基板へ接着されることにより行われる。
 (a) 同、本実用例1のニスE筋面において、さら下ししニスE筋

180を区ける必要ではなく、図1(d)に示すような区
分した180を行ない既定の二点でも良い。
[0.010] ---

(0010) 天井内1のニッケル-板合せは100に近いのシリードフレーム130に、42Xニッケル-板合せをニッケルとしたもので、そして、図9 (a) に示すようなだけをもした。エッチングによりかね加工されたリードフレーム130Aを示したものである。図9 (b) に示すように天井内1の部分の大きさより天井内に形成されたインナーリード部131をもつ。グレバー-136は天井内1に停止する際のダムとなる。図9 (c) に示すようなだけをもした。エッチングによりかね加工されたリードフレーム130Aを、天井内においては用いたが、インナーリード部131と天井部133以外は基本的に必要なものであるから、特にこの点はに及ばない。インナーリード部131の大きさには4.0 mm、インナーリード部131以外の厚さには0.15 mmでリードフレーム部材の厚度は0.15 mmに限らず天にせい0.125 m~0.50 mm程度でも良い。また、インナーリードピッチに0.12 mmと長いピッチで、キズが付生後の多段化に耐えてきるものとしている。インナーリード部131の第2面131Aには天井部133ではワイヤボンディングしらない点がとつており、図4 (b) に示すように、第2面131A-天井部133-131Aにインナーリード部131へ凹んだ形状しており、第2面131A (ワイヤボンディング) を抜くしても天井部に付いたものを

(0011) エヌ局内においては、インナーリード1：1の巻きがどこかで、インデックスド1：1紙にミレが付三してらる。図9（a）に示すような、インナーリード元がそれを分割された形のリードフレームをニッティング加工にして作成し、これに接着する方法にエリキはテテをなしておられていらる。インナーリード1：1：が長く、インナーリード1：1：紙にミレを全じあい場合には、図9（a）に示す形にニッティング加工することに出来ないため、図9.c-1-（イ）、に示すようにインナーリード元紙を通常部1：1：Bにて固定したはるにニッティング加工したは、インナーリード1：1：紙を再生テーブ1：60で巻きし（図9-（イ））。

(10) ハサウエーでプレスにて、モニタス伝媒の事に付

不景の送示す！）ＩＢＥタミし。このは景でニヨハ未テ
モ后をしてニヨハ未タモハナタラ。（四九（c）
：心：）

(0012) 次に本研究例の算定結果を示す。

—4カ月を経てようやく完成する。さて、此は
トランニッティング加工にて出来た。図9(上)に
示すリードフレームは、

アーティストフレーム130Aモ、インナーリード131
元のヌズミ131Aモが笠8で上にならうにして用
ました。(笠8(8))...
大いでヌズミニテ110のニギタ111例の基をもと
にして、ヌズミチモディハッド135とにかく一

... 1932 年 6 月。四

ました。(図2(b))

2月はヨリ110モダイバンド！3月にはヨリ110
2月はヨリ110のヨリR111とインテーリーイギリス。
1月のスズビとモワイト！20日にボンデーンで開
した。(88(c))

はいて、這次の終止點本筋：400で田舎行進を行つた
事、不運なりードフレーム1200が生れ：400まで
走している部分をアレスにて切断し、400まで走
つたらともにテモ1200の前モ1200を示し
て、(C8 (C))

9に示すリードフレーム：20人とのディベートを
フレーム元10人を構成した。このは、リードフレー
ムの半数の割合の面にニ泊はの日からなモモ元
2人を構成してモモ2名を構成した。 153
e)

いて、最初たゞ180を最初は190を介してヌニモの
をも見るようになつて完全に立けた。(8月11日)
最初たゞ180には、ニヌモ立派のまほのうと、ヌニモ
が立派でうことにより前止元音母とヌニモの反
が入りヌニモ立派にクラックが入り出来てしま
ことがないようにするふに立けたものであるが、そ
もしまとしない。また、音力による前止に反対の發
いて居るが、半ヌニモテ10のナニモで、且つ、
ドブレーナのヌニモのかゆい所が立派が立派

10月13日 本支那のキリスト教に用いられるリードフ
レームの銀箔万点を以下、固にそつて販賣する。銀箔
万点の銀箔が正規品をばばど此に用いられたたり
レームの銀箔万点を販賣するたりの、インテグリ
エー社主事の新井義典に付す。

これらリードフレームを示す平面図である。この
のD-1-D-2部の底面における主加工面であ
る。111-111-6はリードコレクタ部で、111-
112-0Bはレジストパターン、113-0はスー
ル-アーリングに第二の底面D-1-LLS-0に第一の
116-0は第二の凹部、117-0は平坦部、1
ニッティング底面を示す。また、42×ニッテ
きからなり、厚さが0.15mmのリードフレ

この機会に、五ヶ所にカリグラモガード
本店カゼインレジストモテテした後、ガスの
ガモ用いて、歴史的な第一の出口モリ110
を出立す。そこをさらにガムトボウト、ガムト
1120BEモテテした。『ヨリ！（？）』
CEモリ110に、後のエンチング加工において
レームモリ1110とこの出口部からベタ柱に
シーラムニカよりし元モリモセテラタのもの
ストの第二のモリモリ1140に、インナーリー
アバモモモモモモモモモモモモモモモモ
0は、少々ぐるソードフレームモリ1110の
ド先端モモモモモモモモモモモモモモモモ

て、テーピングの工法や、リードフレームを固定するランプ二極管で、ベタはに五とそれを同時になくなった部分との位置が示示になら場合があらうので、エッチングを行なうエリアはインテリード先端のみを加工区分だけにして大きめにとら必要がある。次いで、板温 57°C 、ビニル8ポーメの硬化系二重硬化を用いて、スプレーは 2.5 kg/cm^2 にて、レジストパターンが形成されたリードフレームはM1110の下面をニッティングし、ベタズ(チタニウム)に五とされた第一の回路M1150のGモードがリードフレーム並びの約2/3程度に達したM4でエッチングを止めた。(図11(d))

スエイ回目のエッティングにおいては、リードフレーム
E1110の正面から同時にニッティングを行ったが、
しかし正面から正面にエッティングする必要はない。正
面穴のように、ス1回目のエッティングにおいてリード
フレームE1110の正面から正面にエッティングする
時に、正面からエッティングするところにより、必ずする
2回目のニッティング時だけを定期するため、レジスト
ターン9200点からののみの穴をエッティングの場合は
べ、ス1回目エッティングとス2回目エッティングのトー
ル時間がどちらも、次いで、第一のE1110
のニッティングされた穴のE11500にニッティングを定期
しての時エッティングなのであるボンドメタルタ
ンクス(ブレインクス)元ニッケル基板のE1125X...22...
(-WB6)を、ダイコータモ用いて、生産し、ベタ
(チモ)にニッティングされた穴のE11500に埋め込
み、レジストターン1120A上もニッティングを
1180に定期された結果とした。(図1)

テング姫の足は118.0ミリ、レジストバーン112.0ミリで、上記正に二本下らる足はないが、第一の凹脚は115.0ミリ、さじ一筋のふくら下らることに陥りしきに、足111.0ミリで示すようだ。第一の凹脚は115.0ミリとし、又、股口田は113.0ミリを正にエッティングを底面110.0ミリとした。又、足底内側で使用したニッティングは底面111.0ミリで、アルカリなどでのラックスであるが、高さ的にはテング脚に脚底があり、ニッティング頭にある複数のものあるものが、軽くして、又、上記ラックスにルートでU.V.硬化型のものでじまい、此のようないきぎ底面は116.0ミリシナーリード先端部のそれを下うためのパターンが形成された最初の足とそれの凹脚は115.0ミリで示すことに止り、そこでテング脚に第一の凹脚は115.0ミリを示すて足を示すようにしていふことにし、又、右足のニッテンに付しての通常的な底面形成をしており、又、ブレーキ(2.5kg/cm²以上)と下うことがで、又に上りニッティングが足を下方に抜けしきたくなれば、又、空気のニッティングを行なうべきは、又に左足を示すたれの凹脚は116.0ミリと右脚からリードムラウト111.0ミリエッティングし、又、足底

インテリードモスクワ131人を庇護した。(S: :
(c))

ス1回目のニッティング加工にて仕上された。リードフレーム面に示す如きは、この年を以て2年にはインテーリード面にへこんだ凹字である。次いで、次々、ニッティング部元記号との組合せである。ジストロ（レジストパターン）1120A..1120E:の組合せは三を元い、インテーリード元記号131Aがこれを示した。図9（a）に示すリードフレーム130Aを示す。エッティング部元記号1120とレジストロ（レジストパターン）1120A..11280の組合せは三に示す如きが本題により示す所である。

[0014] 上記、図1に示すリードフレームの構造に、本文ために用いられる、インナーリードと外側部内側に形成したリードフレームをエッチング加工により削除する方法で、图1に示す、インナーリードの端の第1歪1311Aと外側部内側の他の部分と共に、又は、第2歪1311Aと外側部内側で対応し、且つ、又歪1311Aと、又歪1311ACEとインナーリードの側に向かってせん断元はに下るエッチング加工万能である。前述する外側部のキズは左図のこうにパンプモードモードにてモードモードをインナーリードの第2歪1311Aと対応し、インナーリードと外側部内側には削除する場合に

第2回1.3-1.Aをインナーリード側に凹んだ形で示した方がパンプ圧波の時の静止圧が大きくなる。図1-2に示すニッティング加工方法が採用される。图1-2に示すエッティング加工方法は、图1回Bのニッティング工事では、图1-1に示す方法と同じであるが、エッティング工具は1.80をスミの凹角116.0°側に近づける。第一の凹角115.0°側から第二凹角のニッティングを行い、更にそこまで直なっていこう。图1-2は图1のニッティングにて、第二凹角114.0°からのニッティング充分に行っておく。图1-2に示すニッティング加工によって得られたリードフレームのインナーリード部形状は、图6-(b)に示すように、第2面3-2がインナーリード側にへこんだM字型である。

上記図11、図12に示すニッティング加工のように、エッチングを2方向にかけて行うエーブル加工方法を、一筋には2段エッチング加工方法であり、又は江工に有利な加工方法である。図11に示す、リードフレーム130Aにおいては、2段ニッティングが二段式で、バターニング加工することにより部分的にリードフレームをくしながら片面江工をすら方法とかが示してばかり、リードフレームミロをなくした部分においては、角丸な江工ができるようにしている。図12に示す、上記の方法においては、インナーリード131Aの外側江工は、又二の凹部116と、最終的にはさらさらインナーリード先端部の左右どちらのもので、例えば、底面とも50μm

さて次くすると、図11(c)に示す、平底はW1を1
 0.0mm として、インナーリード先端部ピッチを0.
 15mm まで拡張加工可能となる。底面は 1.0mm 幅
 \times 3でなくし、平底はW1を 0.0mm 幅とすると、イ
 n ンナーリード先端部ピッチが0.12のmm幅まで拡
 $張加工$ ができるが、底面も、平底はW1のとり万次第で
 \times インナーリード先端部ピッチに更に良いピッチまで
 \times 可能となる。ちなみに、インナーリード先端部ビ
 $ッヂ$ を0.08mm、底面 2.5mm で平底 $\times 0.0\text{mm}$
 \times 底面が可能である。

(0017) エヌエヌエーの半波は常に用いられたリードフレームのインデニードホーリーの所用部材は、図13(イ) (a) に示すようになっており、ニッティングテープを131Aより外の導W1にはねばねで反対側の導W2より重テ大さくなっている。W1, W2 (約1.00μm)。もしこの部分の長さを二方向の幅のはWようして大きくなっている。このようにインデニード半波部の幅は広くなつた所用部材であるため、どもこの点にて、いつも半波部モテ (図示セド) とインデニード半波部131Aとワイヤ120A-120Bによる差異 (ボンディング) がしらないものとなつてゐるが、エヌエヌエーの場合はニッティング部材 (図13(ロ) (a)) をボンディング部材としている。また、131Aより外にニッティングアダプターによる半波部、131Aよりリードフレーム三面図121A、121Bにめつづけてある。ニッティングニコロ西がラビの長い西であるため、図13(ロ) (a) の場合は、特に看取 (ボンディング) 部位が生れらる。図13(ハ) は図14に示す加工方法にて作成されたリードフレームのインデニード半波部131Aとロボニモテ (図示セド) との比較 (ボンディング) を示すものであらうが、このヨセをシインデニード半波部131A

の所では平野ではあるが、この部分の所では大半は
べ大きくなれない。また高圧ともリードフレームは
である。結果（ポンディング）更にエア泡のコ
ーティングを強めようが、図13（二）に示す（ニ
ーリング）によりインナーリード元本部を肉化した後に
シーティング加工によりインナーリード元本部：3.2×C
1331Dも加工したもの、ニードルにてS示して
・との目玉（ポンディング）を示したものであるが、こ
れにはプレス歪曲が目に示すようにニードルになっていた
ため、どちらの頭を用いてもねじ（ポンディング）して
も、図11（二）の（a）、（b）に示すようにねじ
（ポンディング）の頭に空気が多く詰めめにし易く成
る場合が多い。图1321Aのニードル頭でみ
る

〔0018〕 次に支店内1の専用封止型キヤハを支店の大
戸門を開ける。図3 (a)～図3 (c) は、それぞれ、
支店外1の専用封止型キヤハを支店の大戸門にさ
せる。図3 (a) に示す支店内のキヤハを支店に、支店外
1のキヤハを支店とは、ダイパッド113Sの位置が異なる
もので、ダイパッド113Sが内面に設置していいう。タ
イパッド113Sが内面に出していることにより、支
店外1に比べ、外の気温が流れている。図3 (b) に
示す支店外のキヤハを支店も、ダイパッド113Sが内面
には出させているものであり、支店外1に比べ、左の気
温差が流れている。支店外1や図3 (c) に示す支店外
とは、キヤハニチ110の向きが異なり、ワイドボンデ
イング面モリードフレームの裏1面に沿っている。図3
(c) ～図3 (d) ～図3 (e) に示す支店外に、””セリ
ザガ支店外1、図3 (f) に示す支店外、図3 (g) に
示す支店外において、キヤハの位置からなるマニホールを取
はず、逆手1の面を底面とするとして用いていいうもので
あり、逆手2を底面したままでとおうていう。

〔0019〕 続いて、支店外2の専用封止型キヤハを支
店を開ける。図4 (a) は支店外2の専用封止型キヤハを支
店の戸面であり、図4 (b) に図4 (a) のA-A-
A-1におけるインナーリード部の断面図で、図4 (c) は
図4 (a) のB-B-8Aにおける基子性部の断面図であ
る。また、支店外2の中面は支店の外壁に支店外1とは比

同じところでは、日本は皆ねじだて、西ヨーロッパは通す。210は半導体チップ、211は電源（バッテリ）、220はマイカ、230はリードフレーム、231はサンクションド、232はスリーブ、233は第2端子、234Aには第3面、235Aには第4面、236には電子部品、237Aには吸元孔、238Bには封筒、239Sは上蓋面、240には止動板、270は半導体テープある。これを内2の二段階区分においては、リードフレーム230はダイパッドをだたないもので、半導体チップ210にサンクションド231をとじて半導体テープ270により固定されており、本体235Sに210を、表面アシテのタブをノードド211

例はワイド220により、インテリード231の第2面231へもとおめられていて、エヌモ内2のほかも、実花内1は合と向辺に、ニズモ左200と見る位置との電気的な関係は、モテ233の元位置に並びられたヒビ状のモテからうなぎ半瓦233Aを介してプリント基板2へ花モモへることにより行かれる。

(0020) 三たて右端側の2の半ばに位置する、図10 (a), 10 (b) に示す。ダイバラードを用いたい、エンディングにより左右に歪曲されたリードフレーム230A を用いたもので、その左右両方に実死角1とは同じ位置であるが、三なき点は、実死角1のはきにはこなきテモインアーリードに固定した状態でワイヤボンディングを行い、端部封止しているに力し、右端側2の場合は、半導体チップ210をインナーリード231とともに固定され、チップ210上に固定した状態で、ワイヤボンディング二種を行い、端部封止しているのである。尚、端部封止後のプレスによる不整部分のため、コテ前の位置は、実死角1と同じである。図10 (a) に示すリードフレーム230A は右側には、図9 (a) に示すリードフレーム130A を左側に引き戻すようにしてある。即ち、図10 (a) に示すエンディングが二重られた状のものを表し、図10 (b) に示す形状にすると、この様、図10 (c), (d) に示すように、まず、両端のためね孔を二つ260 (ポリイミドミニズ) を用いて

(0.0.2.2)次いで、大石外のに刃れば2年が経たる事
もあがる。図6 (a) に大石外の刃を示す正面と背面
の断面図であり、図6 (b) に図6 (a) のA-S-A
6におけるインテリード刃の断面図である。図6 (c) に
図6 (a) のS-S-B6におけるスチール刃の断面図であ
る。然、大石外のエッジは刃の内側も大石外1とは逆
同じとなる。図6中、300には二年半
後、310には三年半で、312にはパンプ、330には
リードフレーム、331にはインテリード、331Aは
刃先部、331ABは刃2面、331CAは刃3面
331Aは刃4面、332にはステモル、333Aには
テル、333Bには刃5面、333Sには上端面、340は

は用紙左端、350には複数用テープである。これを右に示すようにおいては、キサガニテ310に、パンダ311に上クリンナーリード331の次2番331へと固定され、実際にインナーリード331と回転している。リードフレーム330は、図30(a)・(b)に示すように示すかたのもので、図31に示すニッテンゲルエにより引張られたものを示している。図33(a)・(b)に示すように、インナーリード331の片面ではW1A・W2A(27100μm)ともこの部分の片面を方向の別のWAよりし大きくなってしまい、また、インナーリード331の次2番331へはインナーリードの内側に向かって凹んだ形状で、次1番32・Aが二重であることより、インナーリードの複数化に伴うとともに、インナーリード331の次2番331へとおいて、キサガニテとパンプにて本実験に用いたラロイに、図33(c)・(d)のようにならがしあいものとなっている。また、本実験内3の場合は、元モード1や元2の大きさと同時に、キサガニテ300と本実験との異なる方には、キサガニテ333先頭部に付けられたニジのEIDからなる表示333へを介してプリント基板へ回しをすることによりだれから

（0023）天井例3のことは次度に、天井例1のことは
は二度の当さとに異なり、図12に示すニッティングによ
り左端が二これたリニアビューミルを用いたものであら
が、これは天井例3のはず万度にはば同じ工法である。
及なら点に、天井例1の半端は天井の端にはてばはテ
モインテーリードに固定したままでワイヤボンディング
を行ひ、一方は止していふのに付し、天井例3の二
は天井の半端には、テモモテモテモモモモモモモモ
ド331にパンプを介して固定して天井に固定したま
までは天井に止めていふのである。一方は片止めのブレ
ンによる天井三分の四部、天子板の左端に、天井例1の
天井半端の端と同じである。

(0024) 区6 (a) に示す右内子のキヨハヌミの支
属内子は右支の所生型である。区6 (d) に示す支
属内子は右支に、右内子のキヨハヌミにおいて、エコ
ロジのキ日からうなうコテ日を又げて、エテEの底モリガコ
チ部として残していられる。この内子は黒くしてエ
チモリガコの外側3-4枚を外側に出しているエコテ
スナマでの内子のチニックがしあい状態となっている。
又にこのエテEの外側3-4枚を出せばうと上
部からチニックしない所とてることとしてある。

(10025) はいて、次第内くの取扱止型を示す。左側に
左側に、右側に (a) は次第内くの取扱止型を示す。
右側に (b) は右側に (a) の A7-A
8におけるインテリード部の断面図で、图6 (c) に
图6 (a) の A7-B8 におけるインテリード部の断面図であ
る。右側に、次第内くの三寸半寸五寸の内寸には
同じとなる。图は略した。图7甲: 400はエンド
部、410はエンド部で、411はバッド、430に

リードフレーム、431はインテーリード、431Aは第1面、431ABは第2面、431ACには第3面、431ADには第4面、433は基板面、433Aは電子面、433Bは印刷面、433Sは上面面、440は折止用部材、470は绝缘性被覆材である。本実施例の場合に、電子部品410のパッド411側の面をインテーリード331の第2面431ABに接着して接着剤470を介して固定し、バンド411とインテーリード331の第1面431Aとモワイヤ420にてこれらに接合したものである。反対するリードフレーム部又は第3面と同様に、本実施例の場合は、第3面又は第4面のものを使用している。また、本実施例の場合は、第3面又は第4面の表面と同様に、ニッケルめっき400と外層回路との電気的な接続は、電子部品333先端部に付けられた半球状の半球からなる電子部品433Aを介してプリント基板へ圧着されることにより行なわれる。

(0026) 図7(c)は、本実施例のニッケルめっき部又は外層回路の断面図である。図7(c)に示す電子部品又は外層回路は、本実施例の半球は基板に並んで、ニッケルのニードルからなる電子部品を並げて、電子部品の表面を正面と反対として示しているものである。半球は主として電子部品433の側面433Bを正面に接合している。テスター等での各号のテクニックが新しい構造となっている。

(0027) (発明の効果) 本発明の断面封止型半導体部品に、上記のように、リードフレームを用いた断面封止型半導体部品において、多様化に応じて、且つ、次元の図13～(b)に示すアクターリードを用ひリードフレームを用いた場合のようにダムバーのカット工程や、ダムバーの金型工程を必要としない。即ち、アクターリードのスリーニーの問題や一平面だけゴブランナリチアードの問題を克服してできる半球部品の構造を可能としている。また、QFPやBGAに比べるとパッケージ内部の空気量が短かくならため、貯蔵容量が小さくなりEIA規格を満たすことができることを可能にしている。

(図11) 本実施例の断面封止型半導体部品の断面図
(図2) 本実施例の断面封止型半導体部品の構成図

- (図3) 本実施例の断面封止型半導体部品の電子部品の断面図
- (図4) 本実施例の断面封止型半導体部品の電子部品の断面図
- (図5) 本実施例の断面封止型半導体部品の電子部品の断面図
- (図6) 本実施例の断面封止型半導体部品の電子部品の断面図
- (図7) 本実施例の断面封止型半導体部品の電子部品の断面図
- (図8) 本実施例の断面封止型半導体部品の電子部品を構成するための図
- (図9) 本実施例の断面封止型半導体部品に用いられるリードフレームの図
- (図10) 本実施例の断面封止型半導体部品に用いられるリードフレームの図

(図11) 本発明の断面封止型半導体部品に用いられるリードフレームの構造方法を示すための図
(図12) 本発明の断面封止型半導体部品の電子部品の断面図
(図13) インテーリード方式でのワイヤボンディングの断面図を示す図
(図14) 次元のリードフレームのニッケルめっき部又は外層回路の接続を示すための図
(図15) 本発明の断面封止型半導体部品の電子部品の断面図

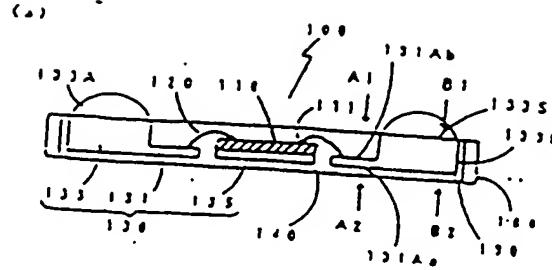
(元号の表示)	
100, 200, 300, 400	
断面封止型半導体部品	
110, 210, 310, 410	
ガラス球	
111, 211, 411	
区(パッド)	
3:2	ハ
シフ	
120, 220, 420	
イテ	
120A, 120B	
イテ	
L21A-L21B	
ツバ	
130, 230, 330, 430	
リードフレーム	
131, 231, 331, 431	
インテーリード	
131Aa, 231Aa, 331Aa, 431Aa	又
131Ab, 231Ab, 331Ab, 431Ab	又
25	
131Ac, 231Ac, 331Ac, 431Ac	又
35	
131Ad, 231Ad, 331Ad, 431Ad	又
45	
131B	
45	
133, 233, 333, 433	
電子	
133A, 233A, 333A, 433A	
電子	
133B, 233B, 333B, 433B	
電子	
133C, 233C, 333C, 433C	
電子	
133D, 233D, 333D, 433D	
電子	
133E, 233E, 333E, 433E	
電子	
133F, 233F, 333F, 433F	
電子	
140, 240, 340, 440	
止用部材	
30 130	

スル		
190	ードフレームラバ	
200	1331AB	
260	イニシグ面	
使用テープ	1410	
270	ードフレームラバ	
盤固定用テープ	1420	
350	オトレジスト	
使用テープ	1430	
470	ジストバターン	
ねじ元部材	1440	
1110	シナーリード	
ードフレームラバ	1510	
1120A, 1120B	ードフレーム	
ジストバターン	1511	
1130	イバッド	
一の端ニス	1512	
1140	シナーリード	
二の端ニス	1512A	
1150	シナーリード元部材	
一の凹部	1513	
1160	クターリード	
二の凹部	1514	
1170	ムバー	
端部面	1515	
1180	レーム部(内面)	
マチング部底面	1520	
1320B, 1320C, 1320D	端部面	
イテ	1521	
1321B, 1321C, 1321D	底部(バッド)	
1331B, 1331C, 1331D	1530	
ンテーリード元部材	1540	
1331A2	止用部材	

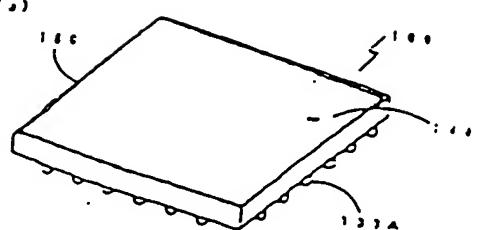
(11)

H225 - 2205

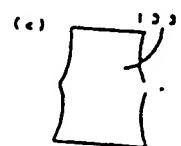
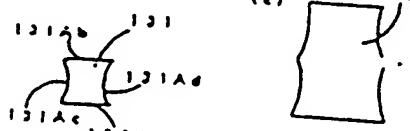
(a)



(b)



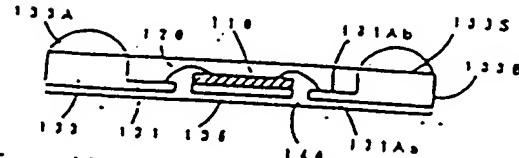
(c)



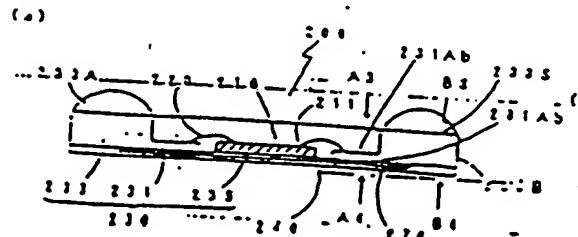
(e)



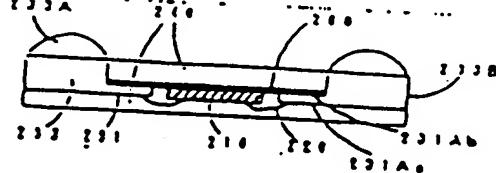
(f)



(g)



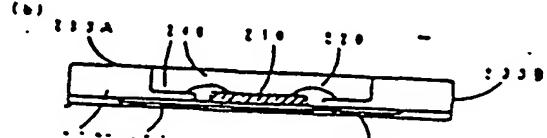
(h)



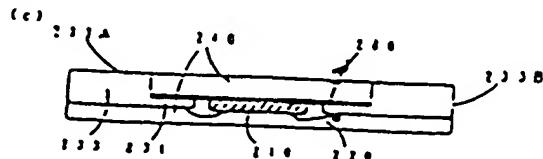
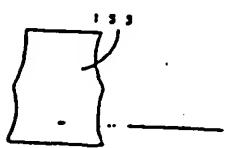
(i)



(j)

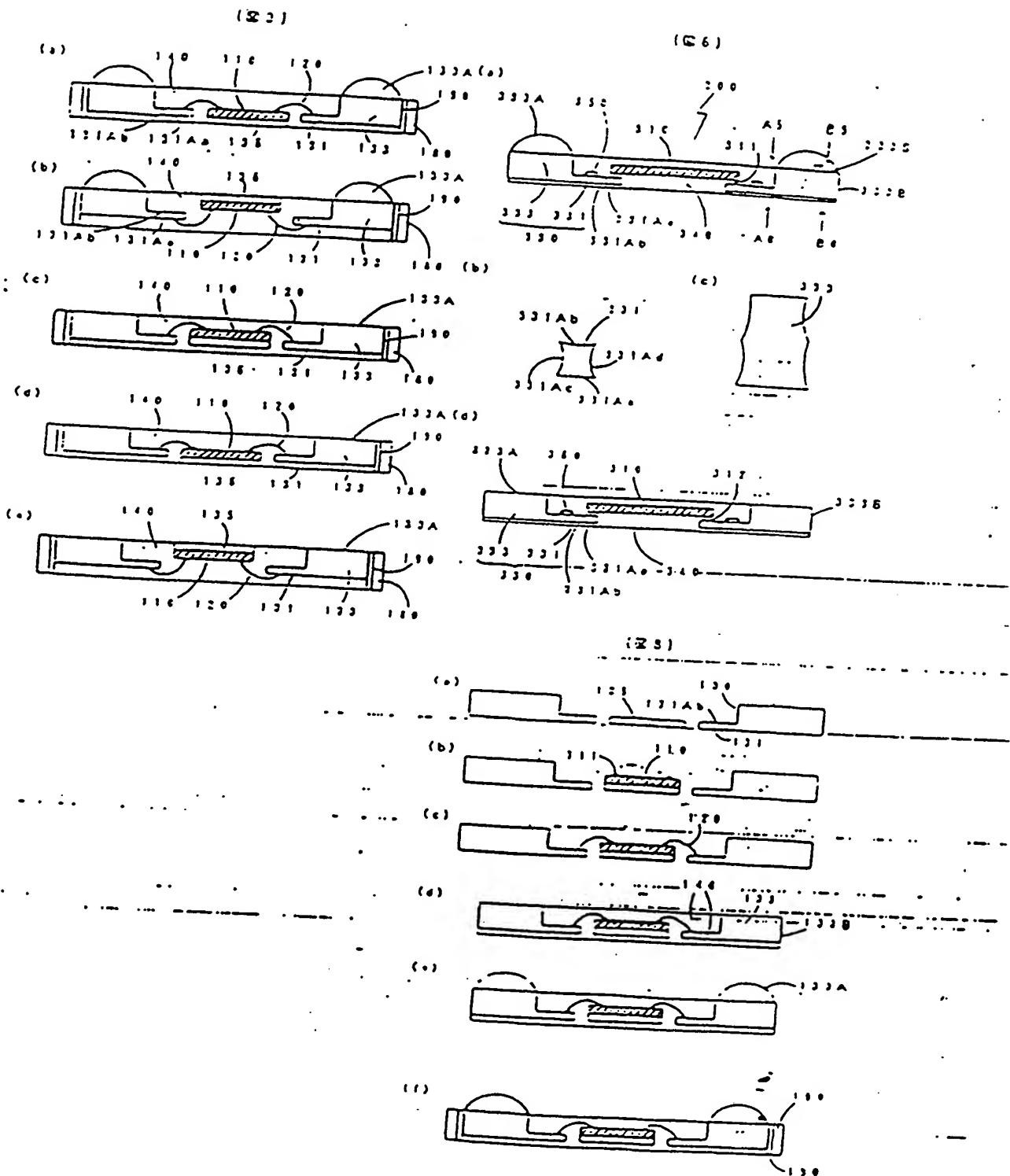


(k)



(1 2)

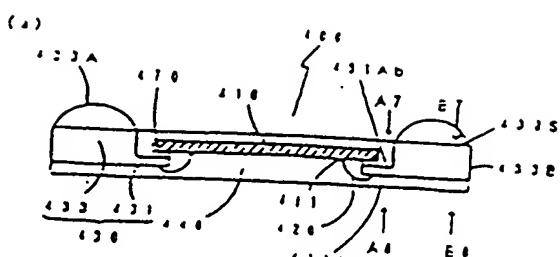
九月 9-2205



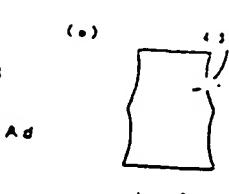
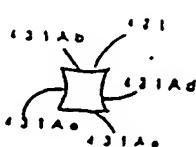
(13)

RM-9-E2CE

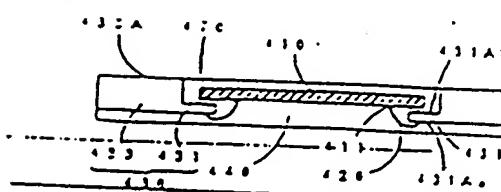
(27)



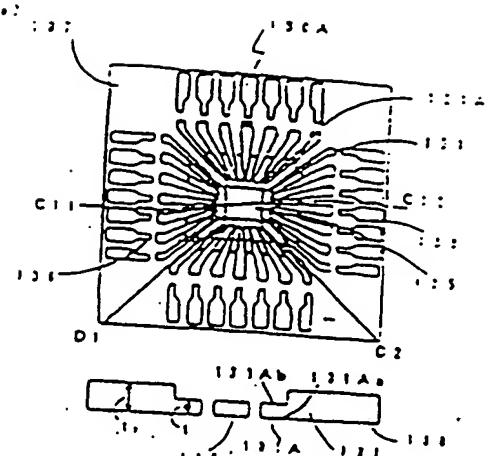
(28)



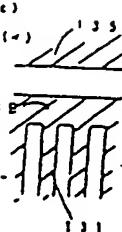
(30)



(29)



(31)



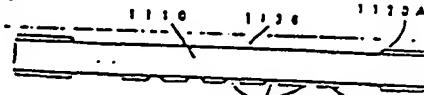
(32)



(33)



(34)



(35)

(36)

(37)

(38)

(39)

(40)

(41)

(42)

(43)

(44)

(45)

(46)

(47)

(48)

(49)

(50)

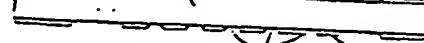
(51)

(52)

(53)

(54)

(35)



(36)

(37)

(38)

(39)

(40)

(41)

(42)

(43)

(44)

(45)

(46)

(47)

(48)

(49)

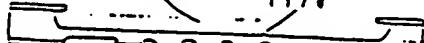
(50)

(51)

(52)

(53)

(37)



(38)

(39)

(40)

(41)

(42)

(43)

(44)

(45)

(46)

(47)

(48)

(49)

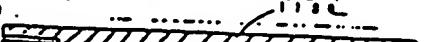
(50)

(51)

(52)

(53)

(39)



(40)

(41)

(42)

(43)

(44)

(45)

(46)

(47)

(48)

(49)

(50)

(51)

(52)

(53)

(41)



(42)

(43)

(44)

(45)

(46)

(47)

(48)

(49)

(50)

(51)

(52)

(53)

(43)



(44)

(45)

(46)

(47)

(48)

(49)

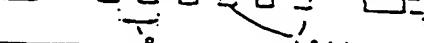
(50)

(51)

(52)

(53)

(45)



(46)

(47)

(48)

(49)

(50)

(51)

(52)

(53)

(47)



(48)

(49)

(50)

(51)

(52)

(53)

(49)



(50)

(51)

(52)

(53)

(51)



(52)

(53)

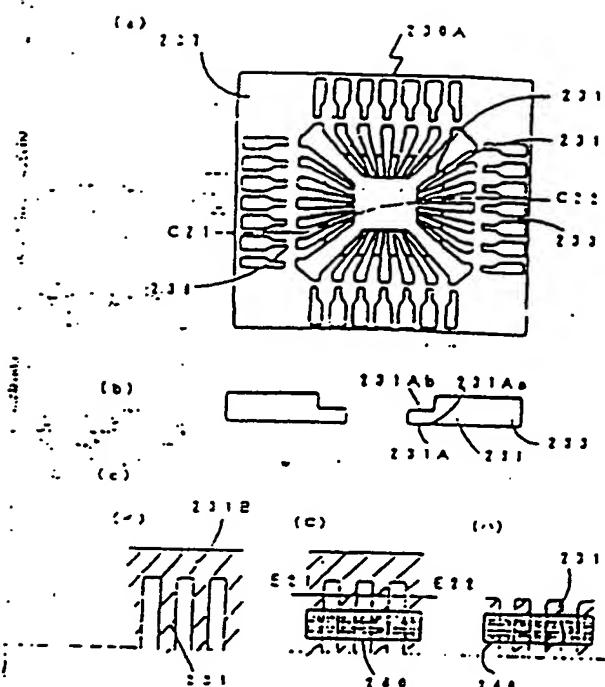
(53)



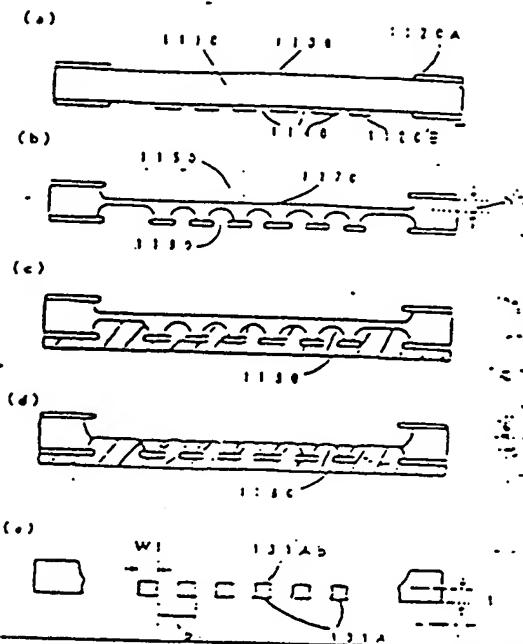
(10)

PAGES - E 205

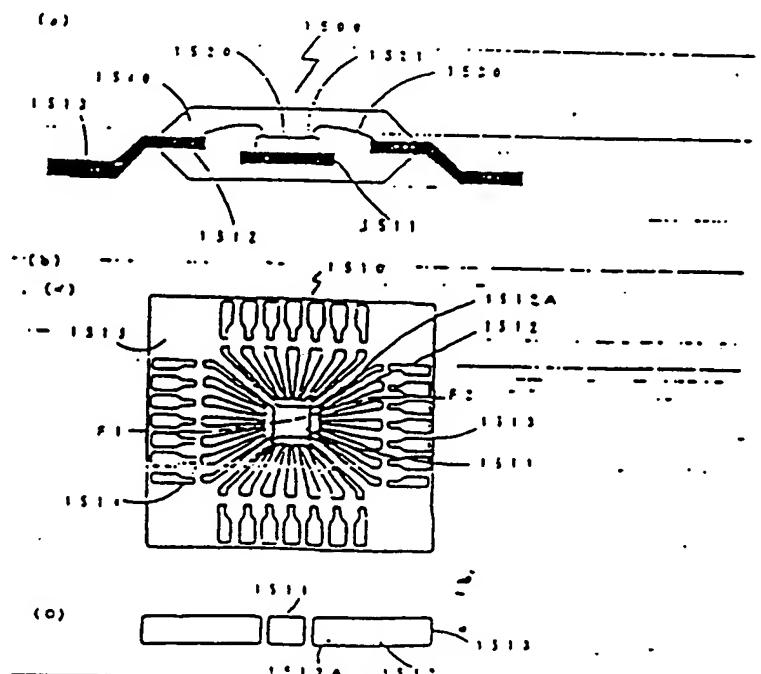
(E 10)



(E 21)



(E 25)



(1 3)

$$x_5 = \xi - \epsilon z_0 s$$

(Σ : Σ)

